



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2019-0051824  
 (43) 공개일자 2019년05월15일

- |   |   |
|---|---|
| (51) 국제특허분류(Int. Cl.)<br>H01L 33/48 (2010.01) H01L 27/15 (2006.01)<br>H01L 33/04 (2010.01) H01L 33/36 (2010.01)<br>H01L 33/62 (2010.01)<br>(52) CPC특허분류<br>H01L 33/48 (2013.01)<br>H01L 27/156 (2013.01)<br>(21) 출원번호 10-2018-0132736<br>(22) 출원일자 2018년11월01일<br>심사청구일자 없음<br>(30) 우선권주장<br>1020170147578 2017년11월07일 대한민국(KR) | (71) 출원인<br>엘지디스플레이 주식회사<br>서울특별시 영등포구 여의대로 128(여의도동)<br>(72) 발명자<br>박준영<br>경기도 파주시 월롱면 엘지로 245<br>권규오<br>경기도 파주시 월롱면 엘지로 245<br>(뒷면에 계속)<br>(74) 대리인<br>특허법인(유한)유일하이스트 |
|---|---|

전체 청구항 수 : 총 18 항

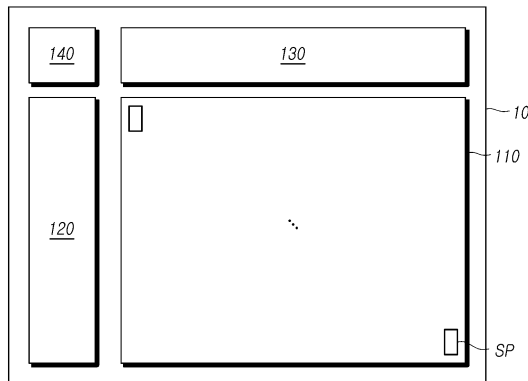
(54) 발명의 명칭 **발광 소자, 디스플레이 집적 회로 및 마이크로 디스플레이 장치**

**(57) 요약**

본 발명의 실시예들은, 마이크로 발광다이오드를 포함하는 발광 소자, 디스플레이 집적 회로 및 마이크로 디스플레이 장치에 관한 것으로서, 실리콘 기판 상에 마이크로 발광다이오드와 이를 구동하는 트랜지스터를 성장시켜 발광 소자를 구현함으로써 전사 공정 없이 마이크로 디스플레이 장치를 제작할 수 있도록 한다. 또한, 실리콘 기판 또는 마이크로 발광다이오드를 구성하는 반도체층을 이용하여 정전 방전 구조를 형성함으로써, 정전 방전 성능을 개선한 발광 소자를 용이하게 구현할 수 있도록 한다.

**대표도** - 도1

100



(52) CPC특허분류

*H01L 33/04* (2013.01)

*H01L 33/36* (2013.01)

*H01L 33/62* (2013.01)

(72) 발명자

**정태일**

경기도 과천시 월릉면 엘지로 245

**김일수**

경기도 과천시 월릉면 엘지로 245

**최정훈**

경기도 과천시 월릉면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

실리콘 기판;

상기 실리콘 기판 상에 배치되고, 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드; 및

상기 실리콘 기판 상에서 상기 발광다이오드의 일 측에 배치되고, 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며, 상기 제1 드레인 전극은 상기 제1 반도체층과 전기적으로 연결된 제1 트랜지스터

를 포함하는 발광 소자.

#### 청구항 2

제1항에 있어서,

상기 제1 반도체층은,

상기 제1 반도체층의 상면에 상기 활성화층이 배치된 제1 부분과, 상기 제1 부분을 제외한 제2 부분을 포함하고,

상기 제1 드레인 전극은 상기 제2 부분과 전기적으로 연결된 발광 소자.

#### 청구항 3

제2항에 있어서,

상기 제1 반도체층의 제2 부분은,

적어도 일부분의 높이가 상기 제1 부분의 높이보다 낮고,

상기 제1 드레인 전극은 상기 제2 부분에서 상기 제1 부분보다 높이가 낮은 부분과 전기적으로 연결된 발광 소자.

#### 청구항 4

제1항에 있어서,

상기 실리콘 기판은,

상기 실리콘 기판의 극성과 반대 극성을 갖는 이온이 주입된 적어도 하나 이상의 웰 영역을 포함하는 발광 소자.

#### 청구항 5

제1항에 있어서,

상기 실리콘 기판 상에서 상기 제1 트랜지스터와 수평한 위치에 배치되고, 제2 소스 전극, 제2 게이트 전극, 제2 드레인 전극을 포함하며, 상기 제2 소스 전극은 상기 제1 게이트 전극과 전기적으로 연결된 제2 트랜지스터를 더 포함하는 발광 소자.

#### 청구항 6

제1항에 있어서,

상기 실리콘 기판 상에서 상기 발광다이오드의 타 측에 배치되고, 상기 제2 반도체층과 전기적으로 연결된 전압 라인을 더 포함하는 발광 소자.

#### 청구항 7

제1항에 있어서,

상기 실리콘 기판 상에 배치된 제1 방전용 전극과, 상기 실리콘 기판에 이온이 주입된 웰 영역 상에 배치된 제2 방전용 전극을 더 포함하고,

상기 제1 반도체층은 상기 제1 방전용 전극과 전기적으로 연결되고,

상기 제2 반도체층은 상기 제2 방전용 전극과 전기적으로 연결된 발광 소자.

#### 청구항 8

제1항에 있어서,

상기 제1 반도체층과 분리되어 배치된 제1 방전용 반도체층과, 상기 제2 반도체층과 분리되어 배치되며 상기 제1 방전용 반도체층 상에 배치된 제2 방전용 반도체층을 더 포함하고,

상기 제1 반도체층은 상기 제2 방전용 반도체층과 전기적으로 연결되고,

상기 제2 반도체층은 상기 제1 방전용 반도체층과 전기적으로 연결된 발광 소자.

#### 청구항 9

제1항에 있어서,

상기 실리콘 기판 상에서 상기 발광다이오드가 배치된 제1 영역과 상기 제1 트랜지스터가 배치된 제2 영역은 서로 중첩하지 않는 발광 소자.

#### 청구항 10

실리콘 기판;

상기 실리콘 기판 상에 배치된 다수의 게이트 라인과 다수의 데이터 라인; 및

상기 게이트 라인과 상기 데이터 라인이 교차하는 영역에 배치된 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀은 각각,

상기 실리콘 기판 상에 배치되고, 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드;

상기 실리콘 기판 상에서 상기 발광다이오드의 일 측에 배치되고, 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며, 상기 제1 드레인 전극은 상기 제1 반도체층과 전기적으로 연결된 제1 트랜지스터; 및

상기 실리콘 기판 상에서 상기 제1 트랜지스터와 수평한 위치에 배치되고, 제2 소스 전극, 제2 게이트 전극 및 제2 드레인 전극을 포함하며, 상기 제2 소스 전극은 상기 제1 게이트 전극과 전기적으로 연결된 제2 트랜지스터

를 포함하는 디스플레이 집적 회로.

**청구항 11**

제10항에 있어서,

상기 다수의 서브픽셀 중 적어도 둘 이상의 서브픽셀에 포함된 상기 발광다이오드의 상기 제2 반도체층과 전기적으로 연결된 구동 전압 라인을 더 포함하는 디스플레이 집적 회로.

**청구항 12**

제10항에 있어서,

상기 다수의 서브픽셀 중 적어도 둘 이상의 서브픽셀에 포함된 상기 제1 트랜지스터의 상기 제1 소스 전극과 전기적으로 연결된 공통 전압 라인을 더 포함하는 디스플레이 집적 회로.

**청구항 13**

제10항에 있어서,

상기 다수의 서브픽셀 중 적어도 하나는,

상기 제1 반도체층의 극성과 반대 극성을 갖는 제1 방전용 극성부와, 상기 제2 반도체층의 극성과 반대 극성을 갖는 제2 방전용 극성부를 포함하고,

상기 제1 반도체층은 상기 제1 방전용 극성부와 전기적으로 연결되고,

상기 제2 반도체층은 상기 제2 방전용 극성부와 전기적으로 연결된 디스플레이 집적 회로.

**청구항 14**

제13항에 있어서,

상기 제1 방전용 극성부와 상기 제2 방전용 극성부는 상기 실리콘 기판 상에 배치된 디스플레이 집적 회로.

**청구항 15**

실리콘 기판;

상기 실리콘 기판 상에 배치된 다수의 게이트 라인과 다수의 데이터 라인; 및

상기 게이트 라인과 상기 데이터 라인이 교차하는 영역에 배치된 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀은 각각,

상기 실리콘 기판 상에 배치되고, 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드;

상기 실리콘 기판 상에서 상기 발광다이오드의 일 측에 배치되고, 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며, 상기 제1 드레인 전극은 상기 제1 반도체층과 전기적으로 연결된 제1 트랜지스터; 및

상기 실리콘 기판 상에서 상기 제1 트랜지스터와 수평한 위치에 배치되고, 제2 소스 전극, 제2 게이트 전극 및 제2 드레인 전극을 포함하며, 상기 제2 소스 전극은 상기 제1 게이트 전극과 전기적으로 연결된 제2 트랜지스터

를 포함하는 마이크로 디스플레이 장치.

**청구항 16**

기판 상에 배치되고, 제1 반도체층, 활성화층 및 제2 반도체층을 포함하는 발광다이오드;

상기 기판 상에 배치되고, 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며, 상기 제1 드레인 전극은 상기 제1 반도체층과 전기적으로 연결된 제1 트랜지스터를 포함하되,

상기 발광다이오드는 상기 기판과 평행을 이루는 면 중 어느 하나의 면의 넓이가 넓은 컵 구조이고,

상기 활성화층 및 상기 제2 반도체층은 상기 제1 반도체층의 측면에 연장되어 배치된 발광 소자.

**청구항 17**

제16항에 있어서,

상기 발광다이오드 상에 색변환층을 더 포함하는 발광 소자.

**청구항 18**

제16항에 있어서,

상기 제1 드레인 전극과 상기 제1 반도체층 간의 전기적 연결을 위해 상기 활성화층 및 상기 제2 반도체층의 적어도 일부가 오픈된 발광 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 발광 소자, 디스플레이 집적 회로 및 마이크로 디스플레이 장치에 관한 것이다.

**배경 기술**

[0003] 정보화 사회가 발전함에 따라 화상을 표시하는 디스플레이 장치에 대한 요구가 증가하고 있으며, 액정 디스플레이 장치(Liquid Crystal Display Device), 플라즈마 디스플레이 장치(Plasma Display Device), 유기발광 디스플레이 장치(Organic Light Emitting Display Device) 등과 같은 다양한 유형의 디스플레이 장치가 활용되고 있다.

[0004] 이러한 디스플레이 장치는, 다수의 서브픽셀이 배열된 디스플레이 패널과, 이를 구동하기 위한 게이트 구동 회로, 데이터 구동 회로 등과 같은 각종 구동 회로를 포함할 수 있다.

[0005] 종래 디스플레이 장치에서 디스플레이 패널은 유리 기판 상에 트랜지스터, 각종 전극 및 각종 신호 배선 등이 형성되어 구성되고, 집적 회로로 구현될 수 있는 구동 회로는 인쇄 회로에 실장되어 디스플레이 패널과 전기적으로 연결된다.

[0006] 이러한 기존 디스플레이 장치의 구조는 대형 디스플레이 장치에는 적합하지만, 소형 디스플레이 장치에는 적합하지 않다.

[0007] 따라서, 최근에는 소형 디스플레이 장치에 적합한 구조를 갖는 마이크로 발광다이오드( $\mu$ LED)를 이용한 디스플레이 장치(이하, "마이크로 디스플레이 장치"라고도 함)가 등장하고 있으며, 마이크로 발광다이오드( $\mu$ LED)는 수십  $\mu$ m 이하의 크기를 갖는 초소형 발광다이오드를 의미한다.

[0008] 이러한 마이크로 발광다이오드( $\mu$ LED)를 이용한 디스플레이 장치는 마이크로 발광다이오드( $\mu$ LED) 자체를 픽셀로 이용하며, 소형화, 경량화가 가능하여 스마트 워치, 모바일 기기, 가상 현실 장치, 증강 현실 장치 및 플렉서블 디스플레이 장치 등에 다양하게 활용될 수 있는 이점을 제공한다.

[0009] 이러한 마이크로 디스플레이 장치는, 일반적으로 마이크로 발광다이오드( $\mu$ LED)를 사파이어 기판 상에서 성장시키고 사파이어 기판에서 마이크로 발광다이오드( $\mu$ LED)를 분리한다. 그리고, 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판에 전사시켜 마이크로 디스플레이 장치를 구현한다.

[0010] 이때, 마이크로 발광다이오드( $\mu$ LED)의 크기가 매우 작아 마이크로 발광다이오드( $\mu$ LED)의 분리, 전사 공정의

난이도가 높고 공정의 정확도 및 수율을 향상시키기 어려운 문제점이 존재한다.

[0011] 또한, 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판에 전사시켜 디스플레이 장치를 구현하므로, 마이크로 발광다이오드( $\mu$ LED)의 전극을 구성하기 위한 구조가 제한적인 문제점이 존재한다.

### 발명의 내용

#### 해결하려는 과제

[0013] 본 발명의 실시예들의 목적은, 마이크로 발광다이오드( $\mu$ LED)와 이를 구동하는 트랜지스터의 구현이 용이한 발광 소자와, 이러한 발광 소자를 포함하는 마이크로 디스플레이 장치를 제공하는 데 있다.

[0014] 본 발명의 실시예들의 목적은, 전술한 발광 소자를 이용한 마이크로 디스플레이 장치에 있어서, 정전 방전 성능을 향상시킨 발광 소자를 제공하는 데 있다.

#### 과제의 해결 수단

[0016] 일 측면에서, 본 발명의 실시예들은, 실리콘 기판과, 실리콘 기판 상에 배치되고 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드와, 실리콘 기판 상에서 발광다이오드의 일 측에 배치되고 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며 제1 드레인 전극은 제1 반도체층과 전기적으로 연결된 제1 트랜지스터를 포함하는 발광 소자를 제공한다.

[0017] 또는, 실리콘 기판과, 실리콘 기판 상에 배치되고 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드와, 실리콘 기판 상에서 발광다이오드의 일 측에 배치되고 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며 제1 소스 전극은 제2 반도체층과 전기적으로 연결된 제1 트랜지스터를 포함하는 발광 소자를 제공한다.

[0018] 이러한 발광 소자는, 실리콘 기판 상에서 제1 트랜지스터와 수평한 위치에 배치되고, 제2 소스 전극, 제2 게이트 전극 및 제2 드레인 전극을 포함하며, 제2 소스 전극은 제1 게이트 전극과 전기적으로 연결된 제2 트랜지스터를 포함할 수 있다.

[0019] 다른 측면에서, 본 발명의 실시예들은, 실리콘 기판과, 실리콘 기판 상에 배치된 다수의 게이트 라인과 다수의 데이터 라인과, 게이트 라인과 데이터 라인이 교차하는 영역에 배치된 다수의 서브픽셀을 포함하고, 다수의 서브픽셀은 각각, 실리콘 기판 상에 배치되고 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드와, 실리콘 기판 상에서 발광다이오드의 일 측에 배치되고 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며 제1 드레인 전극은 제1 반도체층과 전기적으로 연결된 제1 트랜지스터와, 실리콘 기판 상에서 제1 트랜지스터와 수평한 위치에 배치되고 제2 소스 전극, 제2 게이트 전극 및 제2 드레인 전극을 포함하며 제2 소스 전극은 제1 게이트 전극과 전기적으로 연결된 제2 트랜지스터를 포함하는 디스플레이 집적 회로를 제공한다.

[0020] 다른 측면에서, 본 발명의 실시예들은, 실리콘 기판과, 실리콘 기판 상에 배치된 다수의 게이트 라인과 다수의 데이터 라인과, 게이트 라인과 데이터 라인이 교차하는 영역에 배치된 다수의 서브픽셀을 포함하고, 다수의 서브픽셀은 각각, 실리콘 기판 상에 배치되고 제1 반도체층, 활성화층 및 제2 반도체층이 적층된 발광다이오드와, 실리콘 기판 상에서 발광다이오드의 일 측에 배치되고 제1 소스 전극, 제1 게이트 전극 및 제1 드레인 전극을 포함하며 제1 드레인 전극은 제1 반도체층과 전기적으로 연결된 제1 트랜지스터와, 실리콘 기판 상에서 제1 트랜지스터와 수평한 위치에 배치되고 제2 소스 전극, 제2 게이트 전극 및 제2 드레인 전극을 포함하며 제2 소스 전극은 제1 게이트 전극과 전기적으로 연결된 제2 트랜지스터를 포함하는 마이크로 디스플레이 장치를 제공한다.

#### 발명의 효과

[0022] 본 발명의 실시예들에 의하면, 마이크로 발광다이오드( $\mu$ LED)와 이를 구동하는 트랜지스터를 실리콘 기판 상에 같이 형성함으로써, 마이크로 디스플레이 장치를 용이하게 구현할 수 있는 발광 소자와 이를 포함하는 마이크로

디스플레이 장치를 제공한다.

[0023] 본 발명의 실시예들에 의하면, 발광 소자 내의 마이크로 발광다이오드( $\mu$ LED)를 구성하는 반도체층 또는 실리콘 기판 등을 이용하여 정전 방전 경로를 구현함으로써, 정전 방전 성능이 향상된 발광 소자와 이를 포함하는 마이크로 디스플레이 장치를 제공한다.

**도면의 간단한 설명**

[0025] 도 1은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치의 개략적인 구성을 나타낸 도면이다.  
 도 2는 본 발명의 실시예들에 따른 마이크로 디스플레이 장치에 배치된 서브픽셀의 회로 구조의 예시를 나타낸 도면이다.  
 도 3은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치를 구현하는 방식의 예시를 나타낸 도면이다.  
 도 4는 본 발명의 실시예들에 따른 마이크로 디스플레이 장치에서 발광 소자의 개략적인 구성의 예시(nMOS + 캐소드 전극 공통)를 나타낸 도면이다.  
 도 5는 본 발명의 실시예들에 따른 발광 소자의 평면 구조와 단면 구조의 예시(pMOS + 캐소드 전극 공통)를 나타낸 도면이다.  
 도 6은 본 발명의 실시예들에 따른 발광 소자의 평면 구조와 단면 구조의 다른 예시(nMOS + 애노드 전극 공통)를 나타낸 도면이다.  
 도 7은 도 6에 도시된 발광 소자의 단면 구조의 다른 예시를 나타낸 도면이다.  
 도 8a 내지 도 8h는 본 발명의 실시예들에 따른 발광 소자를 구현하는 공정 과정의 예시를 나타낸 도면이다.  
 도 9는 본 발명의 실시예들에 따른 발광 소자가 적용된 마이크로 디스플레이 장치에서 서브픽셀의 구조 및 회로 구조를 나타낸 도면이다.  
 도 10은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치에서 정전 방전 구조가 적용된 서브픽셀의 회로 구조의 예시를 나타낸 도면이다.  
 도 11과 도 12는 본 발명의 실시예들에 따른 발광 소자에 구현된 정전 방전 구조의 예시를 나타낸 도면이다.  
 도 13a 내지 도 13c는 본 발명의 또다른 실시예에 따른 광효율이 증대된 발광 소자를 구현하는 공정과정의 예시를 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0026] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0027] 또한, 본 발명의 구성요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 다른 구성요소가 "개재"되거나, 각 구성요소가 다른 구성요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0028] 도 1은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 개략적인 구성을 나타낸 것이다.

[0029] 도 1을 참조하면, 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)는, 실리콘 기판(10) 상에 배치된 픽셀 어레이(110)와, 픽셀 어레이(110)를 구동하기 위한 게이트 구동 회로(120), 데이터 구동 회로(130) 및 제어 회로(140) 등을 포함할 수 있다.

[0030] 이러한 픽셀 어레이(110)는, 다수의 게이트 라인과 다수의 데이터 라인이 배치되고, 게이트 라인과 데이터 라인



이 교차하는 영역에 배치된 다수의 서브픽셀(SP)을 포함할 수 있다.

- [0031] 또한, 서브픽셀(SP)의 구동을 위한 전압, 신호 등이 인가되는 구동 전압 라인, 공통 전압 라인 등이 배치될 수 있다.
- [0032] 각각의 서브픽셀(SP)은 이미지를 표시하기 위한 마이크로 발광다이오드( $\mu$ LED)와, 마이크로 발광다이오드( $\mu$ LED)를 구동하기 위한 하나 이상의 트랜지스터가 배치될 수 있다.
- [0033] 여기서, 마이크로 발광다이오드( $\mu$ LED)와 이를 구동하기 위한 트랜지스터는 실리콘 기판(10) 상에 형성된 것으로 특징으로 한다.
- [0034] 즉, 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)는, 실리콘 기판(10) 상에 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터를 함께 성장시켜 발광 소자를 구성하고, 이러한 발광 소자가 각각의 서브픽셀(SP)에 배치되어 픽셀 어레이(110)를 구성할 수 있도록 한다.
- [0035] 게이트 구동 회로(120)는, 제어 회로(140)에 의해 제어되며, 픽셀 어레이(110)에 배치된 다수의 게이트 라인으로 스캔 신호를 순차적으로 출력하여 다수의 서브픽셀(SP)의 구동 타이밍을 제어한다.
- [0036] 게이트 구동 회로(120)는, 하나 이상의 게이트 드라이버 집적 회로(GDIC, Gate Driver Integrated Circuit)를 포함할 수 있으며, 구동 방식에 따라 픽셀 어레이(110)의 일 측에만 위치할 수도 있고 양 측에 위치할 수도 있다. 또는, 게이트 구동 회로(120)는, 픽셀 어레이(110) 또는 실리콘 기판(10)의 배면에 위치할 수도 있다.
- [0037] 데이터 구동 회로(130)는, 제어 회로(140)로부터 영상 데이터를 수신하고, 영상 데이터를 아날로그 형태의 데이터 전압으로 변환한다. 그리고, 게이트 라인(GL)을 통해 스캔 신호가 인가되는 타이밍에 맞춰 데이터 전압을 각각의 데이터 라인으로 출력하여 각각의 서브픽셀(SP)이 영상 데이터에 따른 밝기를 표현하도록 한다.
- [0038] 데이터 구동 회로(130)는, 하나 이상의 소스 드라이버 집적 회로(SDIC, Source Driver Integrated Circuit)를 포함할 수 있다.
- [0039] 제어 회로(140)는, 게이트 구동 회로(120)와 데이터 구동 회로(130)로 각종 제어 신호를 공급하며, 게이트 구동 회로(120)와 데이터 구동 회로(130)의 동작을 제어한다.
- [0040] 이러한 제어 회로(140)는, 타이밍 컨트롤러 또는 이를 포함하는 컨트롤러일 수 있다.
- [0041] 제어 회로(140)는, 각 프레임에서 구현하는 타이밍에 따라 게이트 구동 회로(120)가 스캔 신호를 출력하도록 하며, 외부에서 수신한 영상 데이터를 데이터 구동 회로(130)에서 사용하는 데이터 신호 형식에 맞게 변환하여 변환된 영상 데이터를 데이터 구동 회로(130)로 출력한다.
- [0042] 제어 회로(140)는, 영상 데이터와 함께 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블 신호(DE, Data Enable), 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호를 외부(예: 호스트 시스템)로부터 수신한다.
- [0043] 제어 회로(140)는, 외부로부터 수신한 각종 타이밍 신호를 이용하여 각종 제어 신호를 생성하고 게이트 구동 회로(120) 및 데이터 구동 회로(130)로 출력할 수 있다.
- [0044] 일 예로, 제어 회로(140)는, 게이트 구동 회로(120)를 제어하기 위하여, 게이트 스타트 펄스(GSP, Gate Start Pulse), 게이트 시프트 클럭(GSC, Gate Shift Clock), 게이트 출력 인에이블 신호(GOE, Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호를 출력한다.
- [0045] 여기서, 게이트 스타트 펄스(GSP)는 게이트 구동 회로(120)를 구성하는 하나 이상의 게이트 드라이버 집적 회로의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적 회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호의 시프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적 회로의 타이밍 정보를 지정하고 있다.
- [0046] 또한, 제어 회로(140)는, 데이터 구동 회로(130)를 제어하기 위하여, 소스 스타트 펄스(SSP, Source Start Pulse), 소스 샘플링 클럭(SSC, Source Sampling Clock), 소스 출력 인에이블 신호(SOE, Source Output Enable) 등을 포함하는 각종 데이터 제어 신호를 출력한다.
- [0047] 여기서, 소스 스타트 펄스(SSP)는 데이터 구동 회로(130)를 구성하는 하나 이상의 소스 드라이버 집적 회로의 데이터 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적 회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동 회로(130)의 출력

타이밍을 제어한다.

- [0048] 이러한 마이크로 디스플레이 장치(100)는, 픽셀 어레이(110), 게이트 구동 회로(120), 데이터 구동 회로(130) 등으로 각종 전압 또는 전류를 공급해주거나, 공급할 각종 전압 또는 전류를 제어하는 전원 관리 집적 회로를 더 포함할 수 있다.
- [0049] 그리고, 이러한 마이크로 디스플레이 장치(100) 자체를 하나의 디스플레이 집적 회로로 볼 수도 있다.
- [0050] 도 2는 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 픽셀 어레이(110)에 배치된 서브픽셀(SP)의 회로 구조의 예시를 나타낸 것이다.
- [0051] 도 2를 참조하면, 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)에서 픽셀 어레이(110)에 배치된 서브픽셀(SP)은, 마이크로 발광다이오드( $\mu$ LED)와, 마이크로 발광다이오드( $\mu$ LED)의 구동을 위한 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 스토리지 캐패시터(Cstg)를 포함할 수 있다.
- [0052] 제1 트랜지스터(T1)는, 마이크로 발광다이오드( $\mu$ LED)의 구동을 제어하며, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)를 가질 수 있다.
- [0053] 제1 트랜지스터(T1)의 제1 노드(N1)는, 구동 전압(Vdd)이 인가되는 구동 전압 라인(DVL)과 전기적으로 연결되며, 드레인 노드 또는 소스 노드일 수 있다.
- [0054] 제1 트랜지스터(T1)의 제2 노드(N2)는, 제2 트랜지스터(T2) 및 스토리지 캐패시터(Cstg)와 전기적으로 연결되며, 게이트 노드일 수 있다.
- [0055] 제1 트랜지스터(T1)의 제3 노드(N3)는, 마이크로 발광다이오드( $\mu$ LED)와 전기적으로 연결되며, 소스 노드 또는 드레인 노드일 수 있다.
- [0056] 제2 트랜지스터(T2)는, 데이터 라인(DL)과 제1 트랜지스터(T1)의 제2 노드(N2) 사이에 연결되고, 게이트 라인(GL)을 통해 인가되는 스캔 신호에 따라 동작하며, 제1 트랜지스터(T1)의 동작 타이밍을 제어한다.
- [0057] 스토리지 캐패시터(Cstg)는, 제1 트랜지스터(T1)의 제2 노드(N2)와 제3 노드(N3) 사이에 연결되며, 제2 노드(N2)에 인가된 데이터 전압(Vdata)을 한 프레임 동안 유지시켜준다.
- [0058] 마이크로 발광다이오드( $\mu$ LED)는, 애노드 전극과 캐소드 전극을 가지며, 애노드 전극은 제1 트랜지스터(T1)의 제3 노드(N3)와 전기적으로 연결되고, 캐소드 전극은 기저 전압(Vss)이 인가될 수 있다.
- [0059] 이러한 서브픽셀(SP)의 구조는 nMOS 타입을 예시로 설명되고 있으나, pMOS 타입인 경우도 포함한다.
- [0060] 이러한 마이크로 디스플레이 장치(100)의 픽셀 어레이(110)에 배치되는 서브픽셀(SP)은, 사파이어 기판에서 성장시킨 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판에 전사시키는 방식을 통해 구현될 수도 있다.
- [0061] 그러나, 이러한 방식은 마이크로 발광다이오드( $\mu$ LED)를 사파이어 기판에서 분리하는 공정과, 트랜지스터 기판으로 전사시키는 공정의 어려움으로 인해 정확도와 수율이 저하되는 문제점이 존재한다.
- [0062] 또한, 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판으로 전사시켜야 하므로, 마이크로 발광다이오드( $\mu$ LED)의 전극 구조가 공정이 어렵고 복잡한 버티컬 타입(Vertical Type)이나 플립 타입(Flip Type)으로 제한될 수 있다.
- [0063] 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)는, 실리콘 기판(10) 상에서 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터를 같이 성장시킨 발광 소자를 이용함으로써, 공정을 용이하게 하고 공정의 정확도 및 수율을 향상시킬 수 있도록 한다.
- [0064] 도 3은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 픽셀 어레이(110)에 배치된 서브픽셀(SP)을 구성하는 발광 소자를 구현하는 방식을 나타낸 것이다.
- [0065] 도 3을 참조하면, 본 발명의 실시예들에 따른 발광 소자는, 실리콘 기판(10) 상에서 에피택시 공정을 수행하여 마이크로 발광다이오드( $\mu$ LED)를 성장시킨다. 이때, 마이크로 발광다이오드( $\mu$ LED)를 구동하기 위해 필요한 트랜지스터를 형성하기 위한 에피택시 공정을 수행할 수 있다.
- [0066] 즉, 실리콘 기판(10) 상에서 마이크로 발광다이오드( $\mu$ LED)를 형성한 후, 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판으로 전사시키지 않고, 마이크로 발광다이오드( $\mu$ LED)가 형성된 실리콘 기판(10) 상에 트랜지스터를 형성한다.

- [0067] 이러한 트랜지스터는 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET, Metal-Oxide-Semiconductor Field-Effect Transistor)일 수 있다.
- [0068] 실리콘 기판(10) 상에 하나 이상의 트랜지스터가 형성될 수 있으며, 일 예로, 마이크로 발광다이오드( $\mu$ LED)의 구동을 제어하는 구동 트랜지스터와, 구동 트랜지스터의 동작 타이밍을 제어하는 스위칭 트랜지스터(또는 스캔 트랜지스터)가 형성될 수 있다.
- [0069] 마이크로 발광다이오드( $\mu$ LED)가 형성된 실리콘 기판(10) 상에 트랜지스터를 형성함으로써, 하나의 발광 소자를 구현할 수 있다.
- [0070] 또는, 실리콘 기판(10) 상에서 다수의 발광 소자를 구현하고, 각각의 발광 소자가 하나의 서브픽셀(SP)에 대응되도록 함으로써, 마이크로 디스플레이 장치(100)를 구현할 수도 있다.
- [0071] 따라서, 본 발명의 실시예들은, 실리콘 기판(10) 상에 마이크로 발광다이오드( $\mu$ LED)와 이를 구동하기 위한 트랜지스터가 함께 성장되어 구성된 발광 소자와, 이러한 발광 소자들이 서브픽셀(SP)을 구성하는 마이크로 디스플레이 장치(100)를 모두 포함한다.
- [0072] 그리고, 본 발명의 실시예들에 의하면, 실리콘 기판(10) 상에서 이미지 표시를 위한 마이크로 발광다이오드( $\mu$ LED)와, 이를 구동하기 위한 트랜지스터를 함께 구현함으로써, 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판으로 전사시키는 공정이 불필요하도록 하여 마이크로 디스플레이 장치(100) 구현 시 정확도와 수율을 향상시킬 수 있도록 한다.
- [0073] 또한, 마이크로 발광다이오드( $\mu$ LED)가 형성된 실리콘 기판(10) 상에 트랜지스터를 구현하므로, 마이크로 발광다이오드( $\mu$ LED)의 전극 구조가 버티컬 타입이나 플립 타입에 제한되지 않도록 하여 마이크로 발광다이오드( $\mu$ LED)를 보다 용이하게 구현할 수 있도록 한다.
- [0074] 도 4는 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)를 구성하는 발광 소자의 개략적인 구성의 예시(nMOS + 캐소드 전극 공통)를 나타낸 것이다.
- [0075] 도 4를 참조하면, 본 발명의 실시예들에 따른 발광 소자는, 실리콘 기판(10) 상에 형성된 마이크로 발광다이오드( $\mu$ LED)와, 제1 트랜지스터(T1)와, 제2 트랜지스터(T2)를 포함할 수 있다.
- [0076] 마이크로 발광다이오드( $\mu$ LED)는, 실리콘 기판(10) 상에 제1 반도체층(210)과, 활성화층(220) 및 제2 반도체층(230)이 적층된 구조일 수 있다.
- [0077] 실리콘 기판(10)이 p 타입인 경우를 예시로 설명하면, 제1 반도체층(210)은 n 타입 반도체층이며, 일 예로, n 타입 GaN계 반도체층일 수 있다. 그리고, 활성화층(220)은 MQW(Multi Quantum Well) 일 수 있고, 제2 반도체층(230)은 p 타입 반도체층이며 p 타입 GaN계 반도체층일 수 있다.
- [0078] 여기서, 도 4에 도시되지 않은 도핑되지 않은 GaN계 반도체층과 같은 버퍼층이 제1 반도체층(210)의 하부에 형성될 수 있다.
- [0079] 그리고, 제1 반도체층(210)과 연결되는 제1 전극(240)과, 제2 반도체층(230)과 연결되는 제2 전극(250)이 형성될 수 있다.
- [0080] 제1 전극(240)은 제1 반도체층(210) 상에서 활성화층(220)이 형성되지 않은 부분에 형성될 수 있으며, 마이크로 발광다이오드( $\mu$ LED)의 캐소드 전극일 수 있다.
- [0081] 제2 전극(250)은 제2 반도체층(230) 상에 형성되며, 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극일 수 있다.
- [0082] 여기서, 본 발명의 실시예들에 따른 발광 소자는, 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극이나 캐소드 전극을 인접한 서브픽셀(SP)에 배치된 마이크로 발광다이오드( $\mu$ LED)와 공유하는 구조를 가질 수 있으며, 도 4는 캐소드 전극을 공유하는 구조를 예시로 나타낸다.
- [0083] 마이크로 발광다이오드( $\mu$ LED)의 일 측에는, 마이크로 발광다이오드( $\mu$ LED)의 구동을 위한 제1 트랜지스터(T1)가 형성될 수 있다.
- [0084] 제1 트랜지스터(T1)는, 실리콘 기판(10) 상에 형성되며, 제1 소스 전극(310), 제1 게이트 전극(320), 제1 드레인 전극(330) 및 제1 활성화층(340)으로 구성될 수 있다.
- [0085] 이러한 제1 트랜지스터(T1)는, MOSFET일 수 있으며, nMOS 타입을 예시로 설명하나, pMOS 타입인 경우도 본 발명

의 실시예들에 따른 발광 소자에 적용될 수 있다.

- [0086] 제1 트랜지스터(T1)의 제1 소스 전극(310)과 제1 드레인 전극(330)의 하부의 실리콘 기판(10)에는 이온이 주입된 웰 영역(500)이 형성될 수 있다. 이러한 웰 영역(500)을 통해 제1 게이트 전극(320)에 신호 인가 시 채널이 형성될 수 있도록 한다.
- [0087] 즉, 실리콘 기판(10)에 웰 영역(500)을 형성함으로써, 제1 소스 전극(310) 또는 제1 드레인 전극(330)을 구성하기 위한 별도의 금속을 실리콘 기판(10) 상에 배치하지 않고 제1 트랜지스터(T1)를 형성할 수 있다.
- [0088] 여기서, 실리콘 기판(10)에 형성된 어느 하나의 웰 영역(500)과 마이크로 발광다이오드( $\mu$ LED)의 제2 전극(250)을 연결하여 제1 소스 전극(310)을 구성할 수 있다. 그리고, 실리콘 기판(10)에 형성된 다른 웰 영역(500)과 신호 라인을 연결하여 제1 드레인 전극(330)을 구성할 수 있다.
- [0089] 따라서, 본 발명의 실시예들은, 실리콘 기판(10)에 형성된 웰 영역(500)을 통해 제1 트랜지스터(T1)의 제1 소스 전극(310)과 제1 드레인 전극(330)을 용이하게 형성할 수 있도록 한다.
- [0090] 그리고, 본 명세서에서, 제1 소스 전극(310)과 제1 드레인 전극(320)은 실리콘 기판(10)에 형성된 웰 영역(500) 자체, 또는 웰 영역(500)과 연결되는 금속, 또는 이들을 포함하는 전체 구조를 지칭할 수 있다.
- [0091] 제1 트랜지스터(T1)의 제1 소스 전극(310)은 마이크로 발광다이오드( $\mu$ LED)의 제2 전극(250)과 연결될 수 있으며, 제1 드레인 전극(330)으로 구동 전압(Vdd)이 인가될 수 있다.
- [0092] 따라서, 제1 트랜지스터(T1)의 제1 게이트 전극(320)으로 전압 또는 신호가 인가되면, 제1 소스 전극(310)과 연결된 제2 전극(250)으로 전압 또는 전류가 공급될 수 있도록 한다.
- [0093] 제1 트랜지스터(T1)와 수평한 위치에 제2 트랜지스터(T2)가 형성될 수 있다.
- [0094] 제2 트랜지스터(T2)는, 제2 소스 전극(410), 제2 게이트 전극(420), 제2 드레인 전극(430) 및 제2 활성화층(440)으로 구성될 수 있다.
- [0095] 제2 트랜지스터(T2)의 제2 소스 전극(410)과 제2 드레인 전극(430)의 하부의 실리콘 기판(10)에 웰 영역(500)이 형성될 수 있으며, 제2 소스 전극(410)은 제1 트랜지스터(T1)의 제1 게이트 전극(320)과 전기적으로 연결되고, 제2 드레인 전극(430)으로 데이터 전압(Vdata)이 인가될 수 있다.
- [0096] 그리고, 제2 트랜지스터(T2)의 제2 게이트 전극(420)은 게이트 라인과 연결되어 스캔 신호가 인가될 수 있다.
- [0097] 즉, 제2 트랜지스터(T2)의 제2 게이트 전극(420)으로 스캔 신호가 인가되면, 제2 드레인 전극(430)으로 인가된 데이터 전압(Vdata)이 제2 소스 전극(410)을 통해 제1 트랜지스터(T1)의 제1 게이트 전극(320)으로 인가된다.
- [0098] 제1 게이트 전극(320)에 데이터 전압(Vdata)이 인가되면, 제1 드레인 전극(330)으로 구동 전압(Vdd)이 인가되므로 데이터 전압(Vdata)에 해당하는 전압 또는 전류가 마이크로 발광다이오드( $\mu$ LED)의 제2 전극(250)으로 인가되게 된다.
- [0099] 마이크로 발광다이오드( $\mu$ LED)의 제1 전극(240)에는 공통 전압(Vcom) 또는 기저 전압(Vss)이 인가될 수 있으며, 제1 전극(240)과 제2 전극(250)에 인가되는 전압에 따라 마이크로 발광다이오드( $\mu$ LED)가 빛을 발산하게 된다.
- [0100] 이러한 발광 소자는, 실리콘 기판(10) 상에 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터를 함께 성장시킨 구조를 통해 마이크로 발광다이오드( $\mu$ LED)를 트랜지스터 기판으로 전사시키는 공정이 불필요하도록 하여 마이크로 디스플레이 장치(100)의 공정 정확도와 수율을 향상시킬 수 있도록 한다.
- [0101] 그리고, 마이크로 발광다이오드( $\mu$ LED)를 구성하는 제1 전극(240)과 제2 전극(250)을 레터럴 타입(Lateral Type)으로 구현함으로써 마이크로 발광다이오드( $\mu$ LED)의 구현이 용이하도록 한다.
- [0102] 여기서, 마이크로 발광다이오드( $\mu$ LED)의 전극 구조는 인접한 서브픽셀(SP)의 마이크로 발광다이오드( $\mu$ LED)와 공유하는 전극 또는 제1 트랜지스터(T1)와 연결되는 전극에 따라 다양하게 구현될 수 있다.
- [0103] 도 5는 본 발명의 실시예들에 따른 발광 소자의 평면 구조와 단면 구조의 예시(pMOS + 캐소드 전극 공통)를 나타낸 것이다.
- [0104] 도 5를 참조하면, 본 발명의 실시예들에 따른 발광 소자의 캐소드 전극은 인접한 서브픽셀(SP)에 배치된 발광 소자의 캐소드 전극과 연결된 구조일 수 있다. 즉, 인접한 서브픽셀(SP)에 배치된 발광 소자는 서로 캐소드 전극을 공유하는 구조일 수 있다.

- [0105] 일 예로, 실리콘 기판(10) 상에 형성된 제1 반도체층(210)과 연결된 제1 전극(240)이 캐소드 전극에 해당하고, 이러한 캐소드 전극은 인접한 서브픽셀(SP)에 배치된 마이크로 발광다이오드( $\mu$ LED)의 제1 반도체층(210)과 연결된다.
- [0106] 이러한 캐소드 전극으로 공통 전압(Vcom) 또는 기저 전압(Vss)이 인가될 수 있다.
- [0107] 제2 반도체층(230)과 연결되는 제2 전극(250)은 애노드 전극에 해당하고, 제2 전극(250)은 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 전기적으로 연결된다.
- [0108] 그리고, 제1 트랜지스터(T1)의 제1 소스 전극(310)은 구동 전압(Vdd)이 인가되는 구동 전압 라인(DVL)과 연결된다.
- [0109] 일 예로, 도 5에 도시된 바와 같이, 구동 전압(Vdd)이 인가되는 구동 전압 라인(DVL)과 일체로 형성된 부분이 제1 트랜지스터(T1)의 제1 소스 전극(310)을 구성할 수 있다.
- [0110] 제1 트랜지스터(T1)의 제1 게이트 전극(320)은 제2 트랜지스터(T2)의 제2 드레인 전극(430)과 전기적으로 연결되며, 제1 게이트 전극(320)과 제2 드레인 전극(430)은 일체로 구성될 수 있다.
- [0111] 제2 트랜지스터(T2)의 제2 소스 전극(410)은 데이터 라인(DL)과 연결되며, 데이터 라인(DL)과 일체로 구성될 수도 있다.
- [0112] 제2 트랜지스터(T2)의 제2 게이트 전극(420)은 게이트 라인(GL)과 연결되며, 게이트 라인(GL)과 일체로 구성될 수 있다.
- [0113] 제2 트랜지스터(T2)의 제2 게이트 전극(420)으로 스캔 신호가 인가되면, 데이터 전압(Vdata)이 제2 드레인 전극(430)을 통해 제1 트랜지스터(T1)의 제1 게이트 전극(320)으로 인가된다.
- [0114] 제1 트랜지스터(T1)의 제1 게이트 전극(320)에 데이터 전압(Vdata)이 인가되면, 제1 트랜지스터(T1)의 채널이 열리며 데이터 전압(Vdata)에 해당하는 전압 또는 전류가 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극으로 공급되고 마이크로 발광다이오드( $\mu$ LED)가 발광하게 된다.
- [0115] 이러한 캐소드 전극을 공유하는 구조를 통해 다수의 발광 소자가 각각 서브픽셀(SP)을 구성하며, 다수의 서브픽셀(SP)이 배치된 마이크로 디스플레이 장치(100)를 용이하게 구현할 수 있도록 한다.
- [0116] 한편, 이러한 발광 소자를 구성하는 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터는 각각 적층되는 구성 자체의 차이로 인해 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터가 연결되는 부분의 반도체층과 소스 전극(또는 드레인 전극) 간의 높이 차가 크게 발생할 수 있다.
- [0117] 특히, 실리콘 기판(10)에 형성한 웰 영역(500)을 이용하여 소스 전극 또는 드레인 전극을 구성하는 경우, 마이크로 발광다이오드( $\mu$ LED)의 반도체층은 실리콘 기판(10)의 상면과 연결될 수 있으므로 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터가 연결되는 부분의 높이 차는 더욱 크게 발생할 수 있다.
- [0118] 이러한 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터의 높이 차는 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터를 연결하는 전극 또는 배선 공정 시 쇼트(Short)와 같은 결함이 발생하게 할 수 있다.
- [0119] 본 발명의 실시예들은, 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터의 단차로 인한 공정 상의 어려움과 불량을 감소시킬 수 있는 발광 소자의 구조를 제공한다.
- [0120] 도 6과 도 7은 본 발명의 실시예들에 따른 발광 소자의 평면 구조와 단면 구조의 다른 예시(nMOS + 애노드 전극 공통)를 나타낸 것이다.
- [0121] 도 6을 참조하면, 본 발명의 실시예들에 따른 발광 소자는, 인접한 서브픽셀(SP)에 배치된 발광 소자와 애노드 전극을 공유하는 구조일 수 있다.
- [0122] 일 예로, 마이크로 발광다이오드( $\mu$ LED)의 제2 반도체층(230)과 연결된 제2 전극(250)이 애노드 전극에 해당할 수 있다. 그리고, 이러한 애노드 전극은 인접한 서브픽셀(SP)에 배치된 마이크로 발광다이오드( $\mu$ LED)의 제2 반도체층(230)과 연결된 구조일 수 있다.
- [0123] 이러한 애노드 전극으로 구동 전압(Vdd)이 인가된다.
- [0124] 제1 반도체층(210)과 연결되는 제1 전극(240)은 캐소드 전극에 해당하고, 제1 전극(240)은 제1 트랜지스터(T1)



의 제1 드레인 전극(330)과 전기적으로 연결된다.

- [0125] 여기서, 제1 반도체층(210)은 상면에 활성화층(220)이 배치되는 제1 부분(210a)과 제1 부분(210a)을 제외한 제2 부분(210b)으로 구분될 수 있다.
- [0126] 제1 트랜지스터(T1)의 제1 드레인 전극(330)은, 제1 반도체층(210)의 제2 부분(210b)과 전기적으로 연결된다.
- [0127] 즉, 제1 트랜지스터(T1)의 제1 드레인 전극(330)이 마이크로 발광다이오드( $\mu$ LED)의 하층에 배치된 제1 반도체층(210)과 연결된다. 제2 반도체층(230)과 제1 드레인 전극(330)의 높이 차보다 제1 반도체층(210)과 제1 드레인 전극(330)의 높이 차가 작으므로, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)가 연결되는 부분에서 높이 차를 감소시켜줄 수 있다.
- [0128] 제1 트랜지스터(T1)의 제1 소스 전극(310)은, 공통 전압(Vcom) 또는 기저 전압(Vss)이 인가되는 라인과 전기적으로 연결되며, 제1 트랜지스터(T1)의 제1 게이트 전극(320)은 제2 트랜지스터(T2)의 제2 소스 전극(410)과 전기적으로 연결된다.
- [0129] 그리고, 제2 트랜지스터(T2)의 제2 드레인 전극(430)은 데이터 라인(DL)과 연결되며 데이터 라인(DL)과 일체로 구성될 수 있다. 그리고, 제2 트랜지스터(T2)의 제2 게이트 전극(420)은 게이트 라인(GL)과 연결되며 게이트 라인(GL)과 일체로 구성될 수 있다.
- [0130] 따라서, 게이트 라인(GL)으로 스캔 신호가 인가되면, 데이터 전압(Vdata)이 제2 소스 전극(410)을 통해 제1 트랜지스터(T1)의 제1 게이트 전극(320)으로 인가된다.
- [0131] 제1 게이트 전극(320)에 데이터 전압(Vdata)이 인가되면, 채널이 열리고 애노드 전극으로부터 캐소드 전극으로 전류가 흐르며 마이크로 발광다이오드( $\mu$ LED)가 발광하게 된다.
- [0132] 이와 같이, 본 발명의 실시예들에 따른 발광 소자는 애노드 전극을 공유하는 구조를 통해, 다수의 발광 소자가 각각 서브픽셀(SP)을 구성하며 다수의 서브픽셀(SP)이 배치된 마이크로 디스플레이 장치(100)를 용이하게 구현할 수 있도록 한다.
- [0133] 또한, 마이크로 발광다이오드( $\mu$ LED)의 반도체층과 트랜지스터의 소스 전극(또는 드레인 전극) 사이의 높이를 감소시켜줌으로써, 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터의 높이 차에 따른 공정상 결함을 감소시켜줄 수 있도록 한다.
- [0134] 이러한 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터 간의 높이 차를 감소시켜주는 구조는, 마이크로 발광다이오드( $\mu$ LED)의 제1 반도체층(210)에 단차를 형성하는 구조를 통해 구현할 수도 있다.
- [0135] 도 7을 참조하면, 마이크로 발광다이오드( $\mu$ LED)의 제2 반도체층(230)과 연결된 제2 전극(250)이 애노드 전극을 구성하며, 애노드 전극은 인접한 서브픽셀(SP)을 구성하는 발광 소자와 공유된다.
- [0136] 그리고, 마이크로 발광다이오드( $\mu$ LED)의 제1 반도체층(210)과 연결된 제1 전극(240)은, 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 전기적으로 연결되며 캐소드 전극을 구성한다.
- [0137] 이때, 제1 반도체층(210)은 상면에 활성화층(220)이 배치되는 제1 부분(210a)과 제1 부분(210a)을 제외한 제2 부분(210b)으로 구분될 수 있으며, 제2 부분(210b)은 적어도 일부가 제1 부분(210a)의 높이보다 낮은 높이를 가질 수 있다.
- [0138] 제1 반도체층(210)과 연결되는 제1 전극(240)은, 제1 반도체층(210)의 제2 부분(210b)에서 제1 부분(210a)의 높이보다 낮은 부분에 연결된다.
- [0139] 따라서, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)가 서로 연결되는 부분에서 높이 차를 더욱 감소시켜줄 수 있다.
- [0140] 특히, 트랜지스터의 소스 전극 또는 드레인 전극을 실리콘 기관(10)에 형성한 웰 영역(500)을 이용하여 구성하는 경우, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)가 연결되는 부분은 제1 반도체층(210)의 상면과 실리콘 기관(10)의 상면 사이에 해당하는 높이 차가 발생한다.
- [0141] 이러한 경우, 제1 반도체층(210)에서 제1 반도체층(210)의 전체적인 높이보다 낮은 높이를 갖는 제2 부분(210b)을 형성하고, 제2 부분(210b)과 웰 영역(500)이 연결되도록 함으로써, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)의 연결되는 부분에서의 높이 차로 인한 공정상 결함을 방지할 수 있도록 한다.

- [0142] 또한, 제1 반도체층(210)이 제1 트랜지스터(T1)와 연결되는 부분의 높이를 낮게 형성하여 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)가 연결되는 부분을 결함 없이 형성할 수 있도록 함으로써, 실리콘 기판(10)에 형성한 웰 영역(500)을 이용하여 제1 트랜지스터(T1)를 구성할 수 있도록 한다.
- [0143] 즉, 실리콘 기판(10)에 형성한 웰 영역(500)을 이용한 트랜지스터를 용이하게 구성할 수 있도록 하여, 실리콘 기판(10)에 마이크로 발광다이오드( $\mu$ LED)와 같이 트랜지스터를 성장시키는 이점을 극대화할 수 있도록 한다.
- [0144] 즉, 본 발명의 실시예들에 따른 발광 소자는, 캐소드 전극 또는 애노드 전극을 공유하는 구조를 통해 다수의 발광 소자가 각각 서브픽셀(SP)을 구성하며, 다수의 서브픽셀(SP)이 배치된 마이크로 디스플레이 장치(100)를 용이하게 구현할 수 있도록 한다.
- [0145] 그리고, 마이크로 발광다이오드( $\mu$ LED)의 하층에 배치되는 제1 반도체층(210)과 트랜지스터를 연결하는 구조 또는 트랜지스터와 연결되는 반도체층에 단차를 형성하는 구조를 통해, 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터가 연결되는 부분의 높이 차를 감소시키며 발광 소자를 구현할 수 있도록 한다.
- [0146] 도 8a 내지 도 8h는 본 발명의 실시예들에 따른 발광 소자의 공정 과정의 예시를 나타낸 것으로서, 도 6에 도시된 발광 소자를 예시로 나타낸 것이며 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)를 형성하는 공정을 나타낸다.
- [0147] 도 8a를 참조하면, 실리콘 기판(10) 상에서 에피택시 공정을 통해 제1 반도체층(210), 활성화층(220) 및 제2 반도체층(230)이 적층된 마이크로 발광다이오드( $\mu$ LED)를 형성한다.
- [0148] 도 8b를 참조하면, 마이크로 발광다이오드( $\mu$ LED)에 포토 레지스트(PR)를 도포하고, 제1 트랜지스터(T1)의 제1 소스 전극(310)과 제1 드레인 전극(330)을 형성하기 위한 위치에 붕소 웰 도핑(Boron Well Doping)을 수행한다.
- [0149] 도 8c를 참조하면, 마이크로 발광다이오드( $\mu$ LED)가 형성된 영역과, 제1 트랜지스터(T1)가 형성될 영역 중 제1 소스 전극(310)과 제1 드레인 전극(330)이 형성될 영역을 제외한 영역에 제1 절연층(113)과 제2 절연층(114)을 형성한다.
- [0150] 일 예로, 제1 절연층(113)은  $\text{SiO}_2$ 로 구성될 수 있고, 제2 절연층(114)은  $\text{SiN}_x$ 로 구성될 수 있다.
- [0151] 도 8d를 참조하면, 제2 절연층(114) 상에 제1 트랜지스터(T1)의 제1 게이트 전극(320)을 형성한다. 이러한 제1 게이트 전극(320)은 폴리 실리콘(Poly-Si)이나 몰리브덴(Mo)으로 형성할 수 있다.
- [0152] 도 8e를 참조하면, 제1 트랜지스터(T1)의 채널을 형성하기 위해, 실리콘 기판(10)에서 제1 소스 전극(310)과 제1 드레인 전극(330)이 형성될 영역에 웰 영역(500)을 형성한다.
- [0153] 이러한 웰 영역(500)은, 실리콘 기판(10)의 극성과 반대 극성을 갖는 이온이 주입되거나 도핑되어 형성될 수 있다.
- [0154] 실리콘 기판(10)에 웰 영역(500)을 형성함으로써, 실리콘 기판(10) 상에 제1 소스 전극(310)과 제1 드레인 전극(330)을 구성하기 위한 별도의 금속을 배치하지 않을 수 있다.
- [0155] 도 8f를 참조하면, 제1 트랜지스터(T1)가 형성되는 영역 상에 평탄화층(111)을 형성한다. 또는, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1) 상에 평탄화층(111)을 형성할 수도 있다.
- [0156] 그리고, 평탄화층(111), 제1 절연층(113), 제2 절연층(114)에서 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)의 전극을 형성하기 위한 위치에 컨택홀을 형성한다.
- [0157] 도 8g를 참조하면, 컨택홀에 티타늄(Ti), 알루미늄(Al), 주석(TiN) 등을 배치하여, 마이크로 발광다이오드( $\mu$ LED)의 제1 전극(240), 제2 전극(250)과, 제1 트랜지스터(T1)의 제1 소스 전극(310), 제1 드레인 전극(330)을 형성한다.
- [0158] 여기서, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)를 연결하는 제1 전극(240)과 제1 드레인 전극(330)은 일체로 형성될 수도 있다.
- [0159] 도 8h를 참조하면, 전극의 형성이 완료된 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1) 상에 바로 봉지층(113)을 형성하거나, 평탄화를 위한 층을 배치한 후 봉지층(113)을 형성하여 공정을 완료한다.
- [0160] 전술한 예시에서, 마이크로 발광다이오드( $\mu$ LED)와 제1 트랜지스터(T1)의 공정에 대해서만 설명하고 있으나, 제2 트랜지스터(T2)도 제1 트랜지스터(T1)와 유사한 방식으로 형성할 수 있다.

- [0161] 도 9는 본 발명의 실시예들에 따른 발광 소자가 적용된 마이크로 디스플레이 장치(100)에서 서브픽셀(SP)의 구조 및 회로 구조의 예시를 나타낸 것이다.
- [0162] 도 9를 참조하면, 본 발명의 실시예들에 따른 발광 소자로 구성된 서브픽셀(SP)은 게이트 라인(GL)과 데이터 라인(DL)이 교차하여 배치된다.
- [0163] 그리고, 구동 전압(Vdd)이 인가되는 구동 전압 라인(DVL)이 데이터 라인(DL)과 교차하며 배치될 수 있으며, 공통 전압(Vcom) 또는 기저 전압(Vss)이 인가되는 공통 전압 라인(CVL)이 데이터 라인(DL)과 평행하게 배치될 수 있다.
- [0164] 이러한 각종 전압이 공급되는 신호 배선은, 실리콘 기판(10) 상에 배치되는 평탄화층(111) 상에 배치될 수 있다. 또는, 경우에 따라, 발광 소자의 외부에 배치되고, 실리콘 기판(10)에 형성된 비아 홀(Via Hole)을 통해 마이크로 발광다이오드( $\mu$ LED), 트랜지스터 등과 연결될 수도 있다.
- [0165] 마이크로 발광다이오드( $\mu$ LED)의 제2 반도체층(230)과 연결된 제2 전극(250)이 구동 전압 라인(DVL)과 연결되며, 애노드 전극의 역할을 한다.
- [0166] 그리고, 마이크로 발광다이오드( $\mu$ LED)의 제1 반도체층(210)과 연결된 제1 전극(240)이 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 연결되며 캐소드 전극의 역할을 한다.
- [0167] 공통 전압 라인(CVL)은 제1 트랜지스터(T1)의 제1 소스 전극(310)과 연결되며, 공통 전압(Vcom) 또는 기저 전압(Vss)을 공급한다. 여기서, 제1 소스 전극(310)은 공통 전압 라인(CVL)과 일체로 형성될 수도 있다.
- [0168] 또한, 공통 전압 라인(CVL)과 일체로 형성된 부분이 제1 트랜지스터(T1)의 제1 게이트 전극(320) 및 제2 트랜지스터(T2)의 제2 소스 전극(410)을 형성하는 부분과 중첩되어 스토리지 캐패시터(Cstg)를 형성할 수 있다.
- [0169] 게이트 라인(GL)을 통해 스캔 신호가 인가되면, 제2 트랜지스터(T1)의 제2 드레인 전극(430)에 인가되는 데이터 전압(Vdata)이 제1 트랜지스터(T1)의 제1 게이트 전극(320)에 인가된다.
- [0170] 그리고, 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 제1 소스 전극(310) 사이에 채널이 형성되어 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극에서 캐소드 전극으로 전류가 흐르며 마이크로 발광다이오드( $\mu$ LED)가 발광하게 된다.
- [0171] 여기서, 애노드 전극을 공유하는 구조를 통해 마이크로 발광다이오드( $\mu$ LED)의 캐소드 전극이 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 연결되도록 함으로써, 마이크로 발광다이오드( $\mu$ LED)에 흐르는 전류 제어가 용이할 수 있다.
- [0172] 일 예로, 도 2에 도시된 회로 구조와 같이, 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극이 제1 트랜지스터(T1)의 제1 소스 전극(310)과 연결된 경우, 마이크로 발광다이오드( $\mu$ LED)에 흐르는 전류는 아래 수학식 1과 같이 산출될 수 있다.

**수학식 1**

[0173] 
$$I_{led} = \frac{1}{2} \cdot \mu \cdot C_p \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 = \frac{1}{2} \cdot \mu \cdot C_p \cdot \frac{W}{L} \cdot (V_{data} - V_{led} - V_{th})^2$$

- [0174] 여기서,  $\mu$ ,  $C_p$ 는 각각 제1 트랜지스터(T1)의 이동도와 기생 정전 용량을 의미하고,  $W$ ,  $L$ 은 각각 제1 트랜지스터(T1)의 채널의 폭과 길이를 의미한다. 그리고,  $V_{gs}$ 는 제2 노드(N2)와 제3 노드(N3) 사이의 전압 차를 의미하고,  $V_{th}$ 는 제1 트랜지스터(T1)의 문턱 전압을 의미하며,  $V_{led}$ 는 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극과 캐소드 전극 사이의 전압 차를 의미한다.
- [0175] 반면, 도 9에 도시된 회로 구조와 같이, 마이크로 발광다이오드( $\mu$ LED)의 캐소드 전극이 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 연결된 경우, 마이크로 발광다이오드( $\mu$ LED)에 흐르는 전류는 아래 수학식 2와 같이 산출될 수 있다.



수학식 2

$$I_{led} = \frac{1}{2} \cdot \mu \cdot C_p \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 = \frac{1}{2} \cdot \mu \cdot C_p \cdot \frac{W}{L} \cdot (V_{data} - V_{ss} - V_{th})^2$$

[0176]

[0177] 즉, 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극을 공유하는 구조에서는, 마이크로 발광다이오드( $\mu$ LED)에 걸리는 전압( $V_{led}$ )을 고려하지 않고, 기저 전압( $V_{ss}$ )만 고려하여 데이터 전압( $V_{data}$ )을 인가하면 되므로 마이크로 발광다이오드( $\mu$ LED)에 흐르는 전류 제어가 용이하도록 하는 이점을 제공할 수 있다.

[0178]

한편, 본 발명의 실시예들에 따른 발광 소자에 포함된 마이크로 발광다이오드( $\mu$ LED)는, 기존의 발광다이오드에 대비하여 두께가 얇아 정전 방전 성능이 취약할 수 있다.

[0179]

본 발명의 실시예들에 따른 발광 소자는, 마이크로 발광다이오드( $\mu$ LED)를 성장시키는 공정에서 정전 방전 구조를 함께 형성할 수 있도록 함으로써, 정전 방전 성능을 개선한 마이크로 발광다이오드( $\mu$ LED)를 포함하는 발광 소자를 제공한다.

[0180]

도 10은 본 발명의 실시예들에 따른 발광 소자에 정전 방전 구조가 적용된 경우, 해당 발광 소자로 구성된 서브 픽셀(SP)의 회로 구조의 예시를 나타낸 것이다.

[0181]

도 10을 참조하면, 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극은 구동 전압( $V_{dd}$ )이 인가되는 구동 전압 라인(DVL)과 연결되고, 캐소드 전극은 제1 트랜지스터(T1)의 제1 드레인 전극(330)과 연결된다.

[0182]

그리고, 제1 트랜지스터(T1)의 제1 소스 전극(310)은, 공통 전압( $V_{com}$ ) 또는 기저 전압( $V_{ss}$ )이 인가되는 공통 전압 라인(CVL)과 연결될 수 있다.

[0183]

여기서, 마이크로 발광다이오드( $\mu$ LED)와 병렬로 정전 방전을 위한 다이오드(예: 제너다이오드)가 연결될 수 있다.

[0184]

일 예로, 구동 전압( $V_{dd}$ )이 인가되는 마이크로 발광다이오드( $\mu$ LED)의 애노드 전극과 공통 전압( $V_{com}$ ) 또는 기저 전압( $V_{ss}$ )이 인가되는 제1 트랜지스터(T1)의 제1 소스 전극(310) 사이에 정전 방전을 위한 다이오드가 연결될 수 있다.

[0185]

즉, 구동 전압( $V_{dd}$ )이 인가되는 애노드 전극과 공통 전압( $V_{com}$ ) 또는 기저 전압( $V_{ss}$ )이 인가되는 캐소드 전극 사이에 역방향으로 전류를 흐르게 하는 다이오드를 배치함으로써, 마이크로 발광다이오드( $\mu$ LED)의 정전 방전 성능을 개선할 수 있다.

[0186]

이러한 정전 방전을 위한 구성은 실리콘 기판(10) 상에 마이크로 발광다이오드( $\mu$ LED)를 성장시키는 공정에서 다양한 방식으로 구현될 수 있다.

[0187]

도 11과 도 12는 본 발명의 실시예들에 따른 발광 소자에 정전 방전 구성을 구현한 구조의 예시를 나타낸 것이다.

[0188]

도 11을 참조하면, 본 발명의 실시예들에 따른 발광 소자는, 마이크로 발광다이오드( $\mu$ LED)가 형성되는 실리콘 기판(10)에 정전 방전 구조를 형성할 수 있다.

[0189]

구체적으로, 실리콘 기판(10) 상에 제1 반도체층(210), 활성화층(220) 및 제2 반도체층(230)을 적층하여 마이크로 발광다이오드( $\mu$ LED)를 구성한다.

[0190]

그리고, 실리콘 기판(10)에서 금속을 배치하여 제1 방전용 전극(115)을 형성한다.

[0191]

또한, 실리콘 기판(10)에 실리콘 기판(10)의 극성과 반대 극성을 갖는 이온을 주입하여 웰 영역(500)을 형성하고, 웰 영역(500) 상에 금속을 배치하여 제2 방전용 전극(116)을 형성한다.

[0192]

마이크로 발광다이오드( $\mu$ LED)의 제1 반도체층(210)과 제1 방전용 전극(115)을 제1 연결부(241)를 통해 연결하고, 제2 반도체층(230)과 제2 방전용 전극(116)을 제2 연결부(251)를 통해 연결한다.

[0193]

여기서, 마이크로 발광다이오드( $\mu$ LED)를 구성하는 제1 반도체층(210)과 제2 반도체층(230)을 각각 반대 극성을 갖는 구성과 연결함으로써, 정전 방전 구조를 형성할 수 있다.

[0194]

즉, 실리콘 기판(10) 상에 제1 방전용 전극(115)과 제2 방전용 전극(116)을 형성함으로써, 실리콘 기판(10)을

이용한 정전 방전 구조를 형성할 수 있도록 한다.

- [0195] 따라서, 실리콘 기판(10) 상에 마이크로 발광다이오드( $\mu$ LED)를 성장시키는 공정에서, 실리콘 기판(10)에 정전 방전 구조를 용이하게 형성할 수 있도록 하며, 마이크로 발광다이오드( $\mu$ LED)의 정전 방전 성능을 개선한 발광 소자를 제공할 수 있도록 한다.
- [0196] 또한, 이러한 정전 방전 구조는 마이크로 발광다이오드( $\mu$ LED)의 제1 반도체층(210)과 제2 반도체층(230)을 이용하여 구현할 수도 있다.
- [0197] 도 12를 참조하면, 본 발명의 실시예들에 따른 발광 소자는, 마이크로 발광다이오드( $\mu$ LED)를 구성하는 제1 반도체층(210)과 분리된 제1 방전용 반도체층(211)과, 제2 반도체층(230)과 분리된 제2 방전용 반도체층(231)을 포함할 수 있다.
- [0198] 제1 방전용 반도체층(211)과 제2 방전용 반도체층(231)은 서로 적층된 구조로 배치될 수 있다.
- [0199] 그리고, 제1 반도체층(210)과 제2 방전용 반도체층(231)이 제1 연결부(241)를 통해 서로 연결되고, 제2 반도체층(230)과 제1 방전용 반도체층(211)이 제2 연결부(251)를 통해 서로 연결된다.
- [0200] 즉, 마이크로 발광다이오드( $\mu$ LED)를 구성하는 제1 반도체층(210)과 제2 반도체층(230)은 각각 서로 반대 극성을 갖는 구성과 연결하여, 정전 방전 구조를 형성할 수 있다.
- [0201] 따라서, 마이크로 발광다이오드( $\mu$ LED)를 성장시키는 공정에서 용이하게 정전 방전 구조를 구현하며, 정전 방전 성능을 개선한 마이크로 발광다이오드( $\mu$ LED)를 포함하는 발광 소자를 제공할 수 있도록 한다.
- [0202] 또한, 이러한 정전 방전 구조를 실리콘 기판(10)에 구현하거나, 제1 반도체층(210), 제2 반도체층(230)과 동일한 물질을 이용하여 구현함으로써, 발광 소자의 집적도를 향상시키며 정전 방전 구조를 구현할 수 있도록 한다.
- [0203] 그리고, 본 발명의 실시예들에 따른 정전 방전 구조는 마이크로 발광다이오드( $\mu$ LED)를 포함하는 발광 소자에 반대 극성으로 만들어진 구성(예: 제1 방전용 극성부, 제2 방전용 극성부)과 마이크로 발광다이오드( $\mu$ LED)가 연결되는 구조를 모두 포함할 수 있다.
- [0204] 본 발명의 실시예들은, 실리콘 기판(10) 상에 마이크로 발광다이오드( $\mu$ LED)와 이를 구동하는 트랜지스터를 함께 성장시킨 발광 소자를 제공함으로써, 마이크로 발광다이오드( $\mu$ LED)의 전사 공정 없이 마이크로 디스플레이 장치(100)를 구현할 수 있도록 한다.
- [0205] 따라서, 마이크로 디스플레이 장치(100)의 공정 정확도와 수율을 향상시킬 수 있도록 하며, 마이크로 발광다이오드( $\mu$ LED)의 전극 구조를 레터럴 구조로 형성할 수 있도록 하여 마이크로 발광다이오드( $\mu$ LED)의 제작이 용이하도록 한다.
- [0206] 또한, 마이크로 발광다이오드( $\mu$ LED)와 트랜지스터가 연결되는 부분의 높이 차를 감소시켜 공정상 불량을 방지할 수 있도록 하며, 애노드 전극 공유 구조를 통해 마이크로 발광다이오드( $\mu$ LED)의 전류 제어가 용이한 이점을 제공한다.
- [0207] 그리고, 실리콘 기판(10) 또는 마이크로 발광다이오드( $\mu$ LED)를 구성하는 반도체층을 이용한 정전 방전 구조를 제공함으로써, 발광 소자의 회로 집적도를 높이며 정전 방전 성능을 개선한 마이크로 발광다이오드( $\mu$ LED)를 포함하는 발광 소자와, 이를 포함하는 마이크로 디스플레이 장치(100)를 제공할 수 있도록 한다.
- [0208] 도 13a 내지 도 13c는 본 발명의 또다른 실시예에 따른 광효율이 증대된 발광 소자를 구현하는 공정과정의 예시를 나타낸 도면이다.
- [0209] 도 13a 내지 도 13c를 참조하여 광효율이 증대된 발광 소자 및 이를 구현하는 공정과정에 대하여 설명하되, 도 8a 내지 도 8h에 도시된 구성요소와 실질적으로 동일하거나 유사한 구성에 대한 설명은 생략하여 설명하도록 한다.
- [0210] 도 13a를 참조하면, 실리콘 기판(10)상에 n형 반도체층인 제1 반도체층(210), 활성화층(220) 및 p형 반도체층인 제2 반도체층(230)을 형성하되 박막트랜지스터를 형성할 영역을 제외한 지정된 영역에 발광다이오드를 형성하기 위해 마스크(20)를 실리콘 기판(10)상에 형성하되, 발광다이오드가 형성되는 영역을 제외하고 배치한다.
- [0211] 도 13b에 도시된 바와 같이 제1 반도체층(210), 활성화층(220) 및 제2 반도체층(230)을 실리콘 기판(10)상에 성장시키면, 마스크(20)가 배치된 곳을 제외한 영역에서 반도체층이 성장하게 되는데 도시된 바와 같이 제1 반도체층(210)은 실리콘 기판(10)이 마스크(20)에 의해 오픈된 영역에서 상면보다 밑면이 더 넓은 컵형태로 성장하

게 되고, 활성화층(220)은 제1 반도체층을 둘러싸도록 성장하게 된다.

- [0212] 한편, 마스크(20)는 SiNx 또는 SiOx와 같은 물질을 사용할 수 있다. 상기 마스크(20)를 사용하여 제1 반도체층(210)을 둘러싸도록 성장된 활성화층(220)은 종래방식에서 순차적으로 성장시키고 식각하여 형성한 발광다이오드보다 더 넓은 표면적을 갖게 되고, 이로 인해 발광 효율이 증대된 발광다이오드를 구현할 수 있게 된다.
- [0213] 도 13c를 참조하면, 발광다이오드를 구성하는 제1 반도체층(210), 활성화층(220) 및 제2 반도체층(230)은 발광다이오드의 상단 또는 측면에 제1 절연층(113) 및 제2 절연층(114)를 오픈하는 컨택홀이 배치될 수 있고, 컨택홀을 통해 각각 제1 전극(240) 및 제2 전극(250)과 전기적 연결될 수 있다.
- [0214] 상술한 바와 같이 활성화층(220)의 면적이 증가하도록 실리콘 기판(10)상에 마스크(20)를 배치하고, 선택된 영역에 반도체층을 성장시키는 선택성장방법을 통해 광효율이 향상된 발광다이오드가 있는 발광소자를 배치할 수 있다.
- [0215] 한편, 실리콘 기판(10)상에 다양한 색상을 갖는 다이오드를 마스크(20)의 오픈영역을 조절하여 상술한 단계를 반복함으로써 서로 다른 파장의 빛을 발하는 발광다이오드를 한 실리콘 기판(10)상에 배치할 수 있으며, 또는 발광다이오드 상에 색변환층을 더욱 포함시켜 다양한 빛을 발광할 수 있는 발광소자를 형성할 수 있다.
- [0216] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

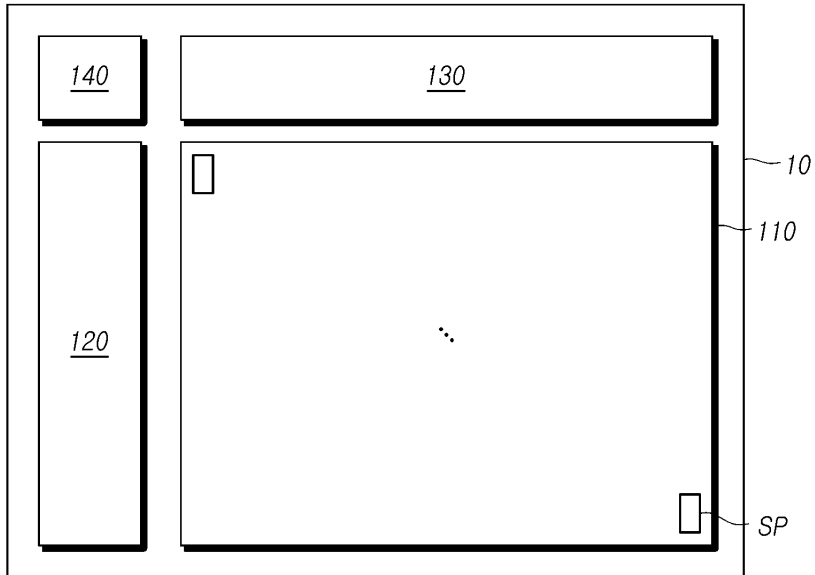
**부호의 설명**

- [0218] 10: 실리콘 기판    100: 마이크로 디스플레이 장치
- 110: 픽셀 어레이    111: 평탄화층
- 112: 봉지층    113: 제1 절연층
- 114: 제2 절연층    115: 제1 방전용 전극
- 116: 제2 방전용 전극    120: 게이트 구동 회로
- 130: 데이터 구동 회로    140: 제어 회로
- 210: 제1 반도체층    211: 제1 방전용 반도체층
- 220: 활성화층    230: 제2 반도체층
- 231: 제2 방전용 반도체층    240: 제1 전극
- 241: 제1 연결부    250: 제2 전극
- 251: 제2 연결부    310: 제1 소스 전극
- 320: 제1 게이트 전극    330: 제1 드레인 전극
- 340: 제1 활성화층    410: 제2 소스 전극
- 420: 제2 게이트 전극    430: 제2 드레인 전극
- 440: 제2 활성화층    500: 웰 영역

도면

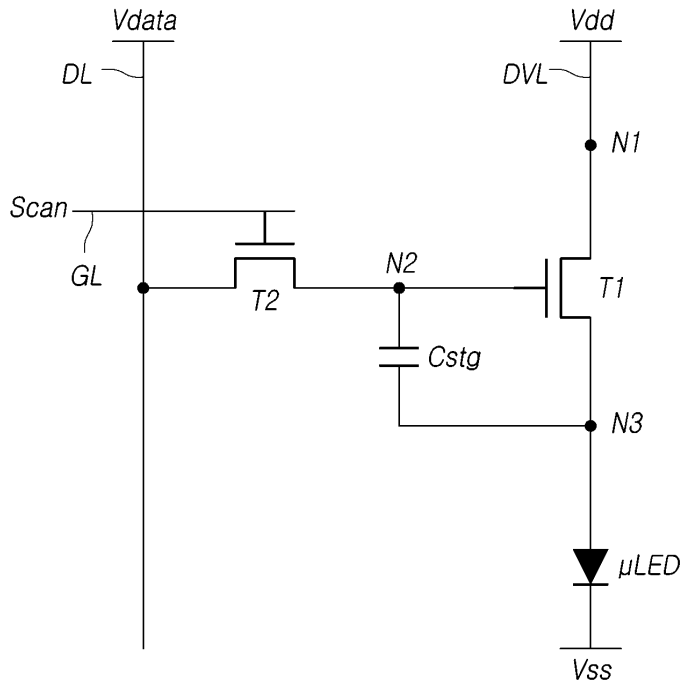
도면1

100



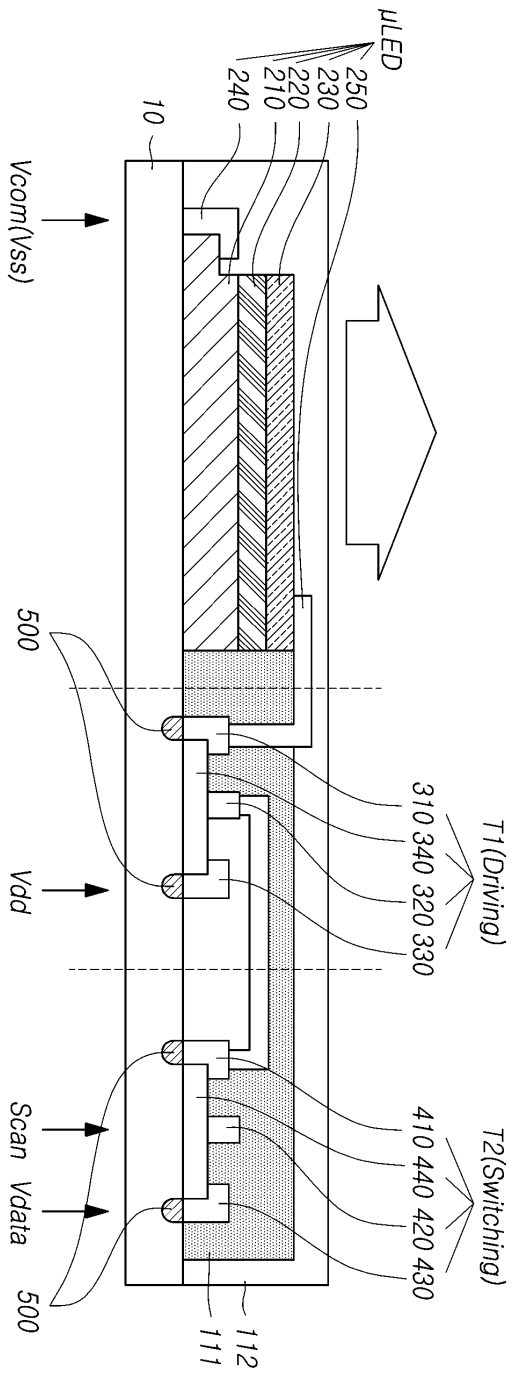
도면2

Sub-pixel



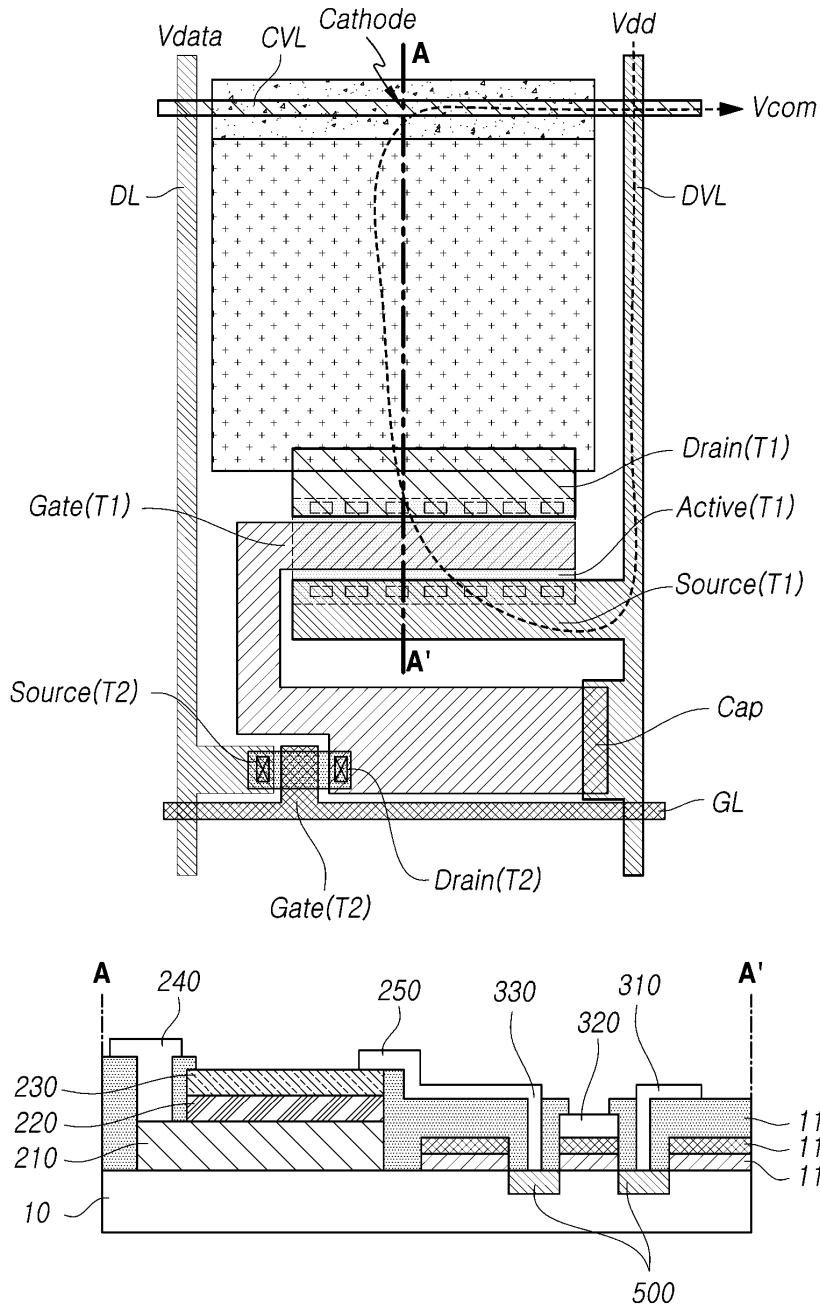


도면4



도면5

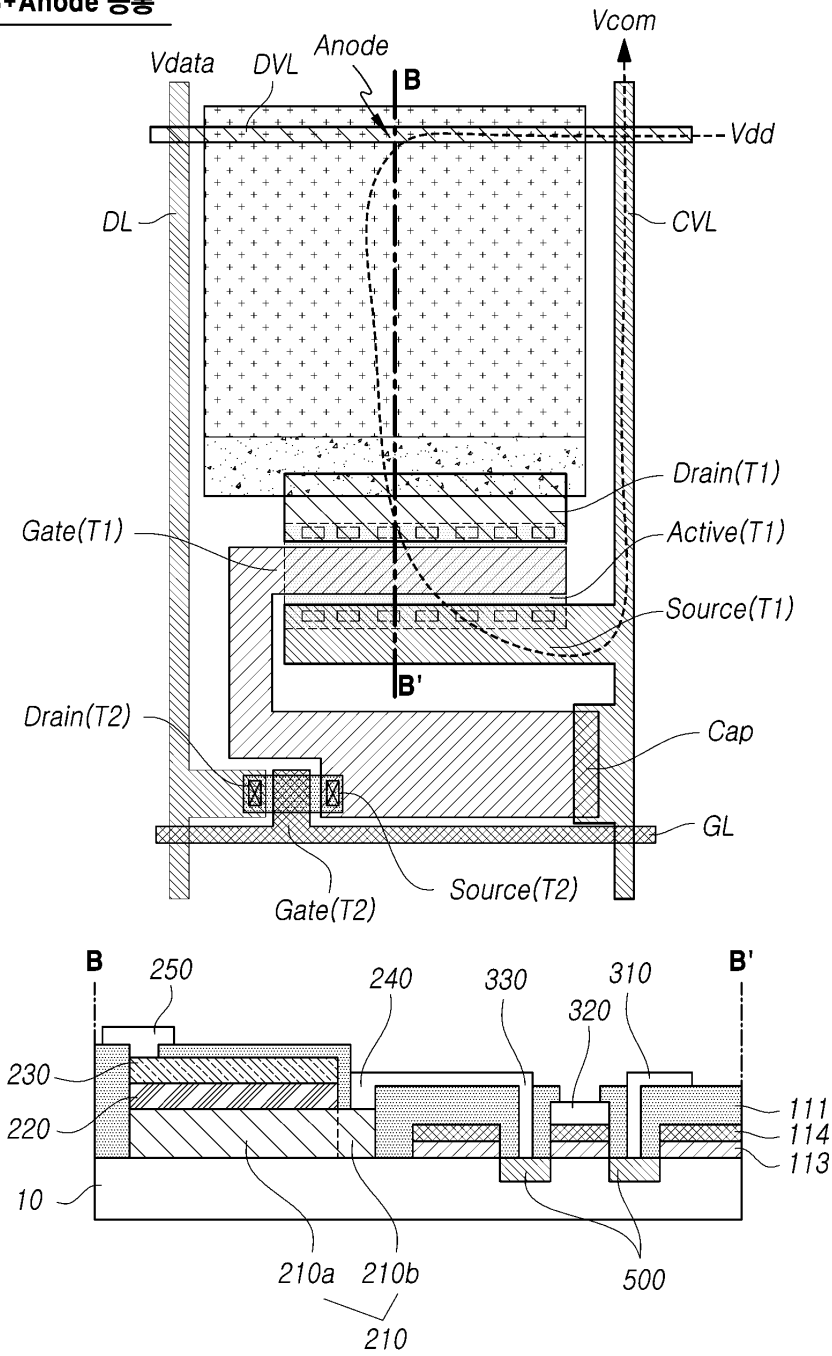
**pMOS+Cathode 공통**



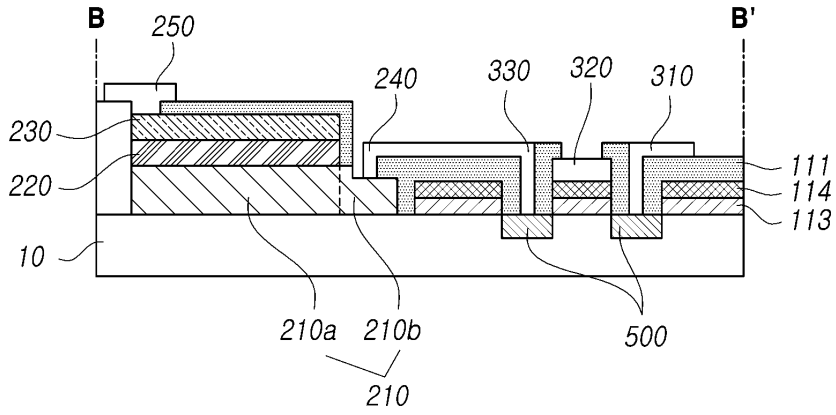


도면6

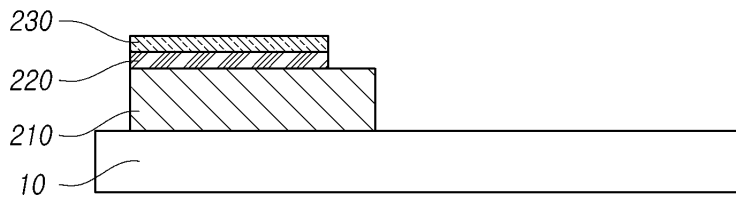
**nMOS+Anode 공통**



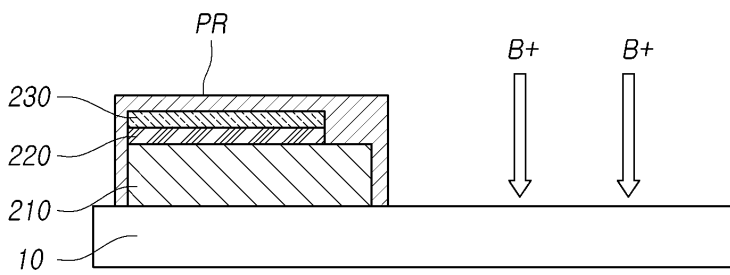
도면7



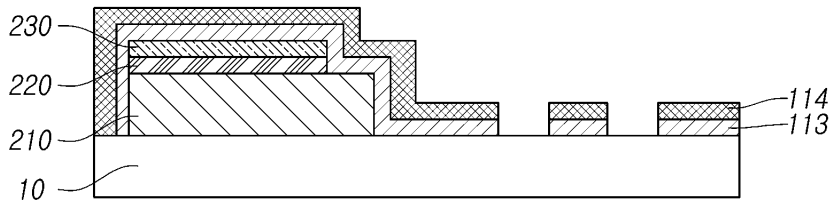
도면8a



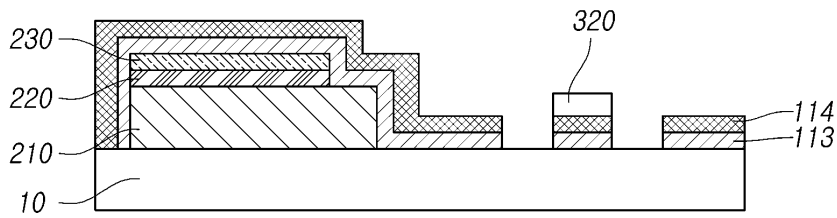
도면8b



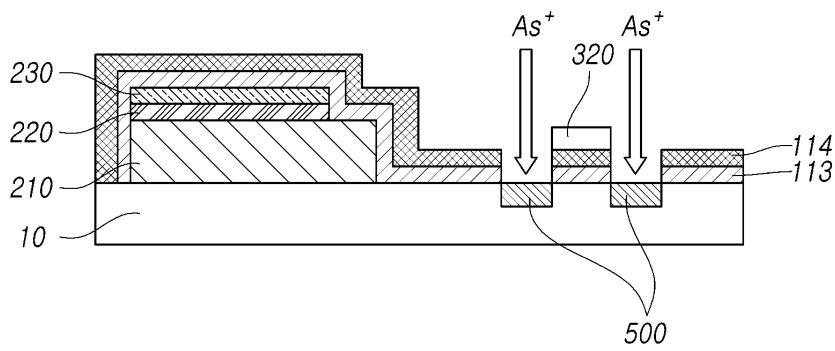
도면8c



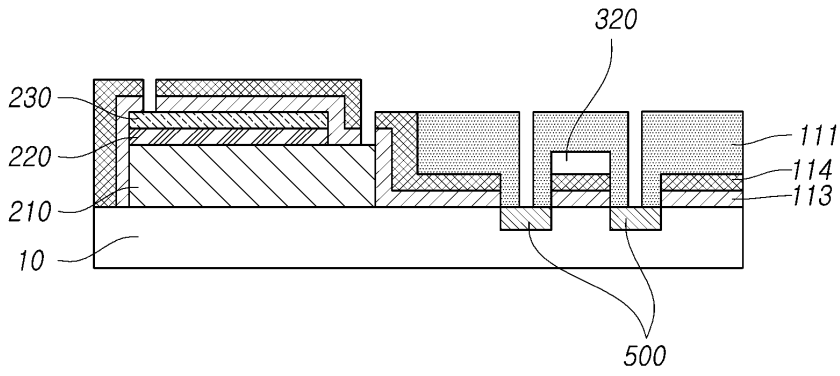
도면8d



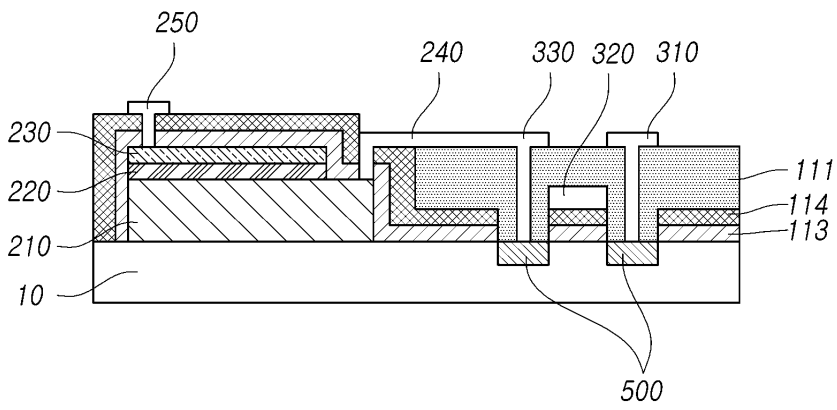
도면8e



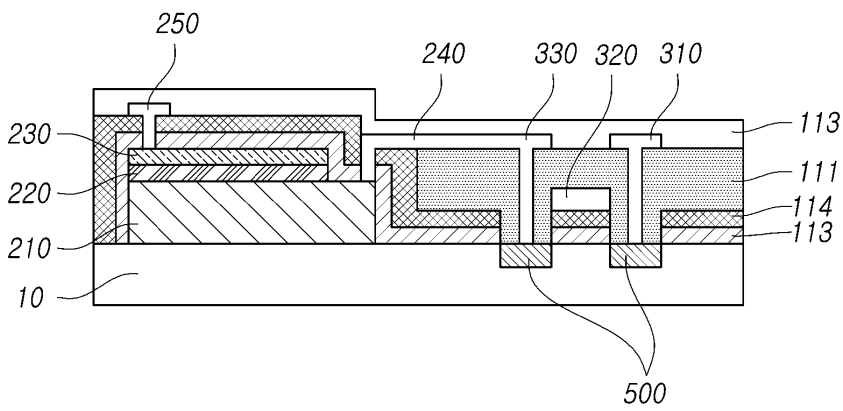
도면8f



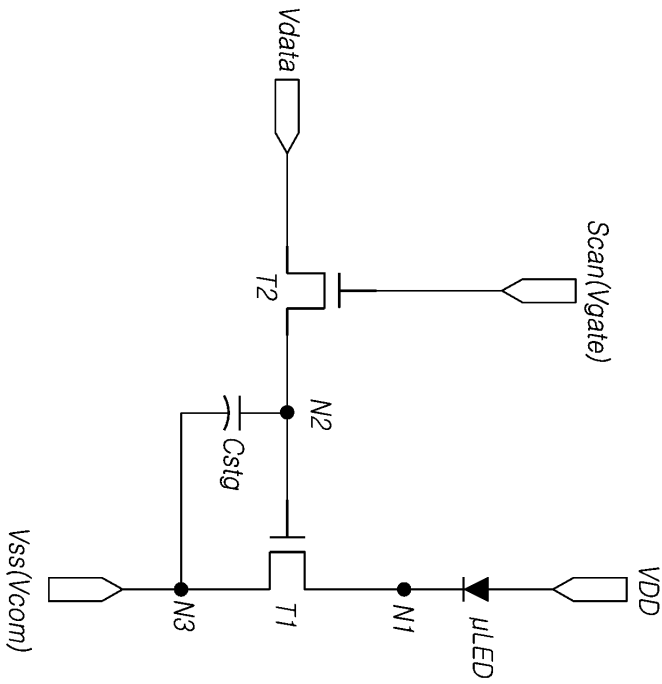
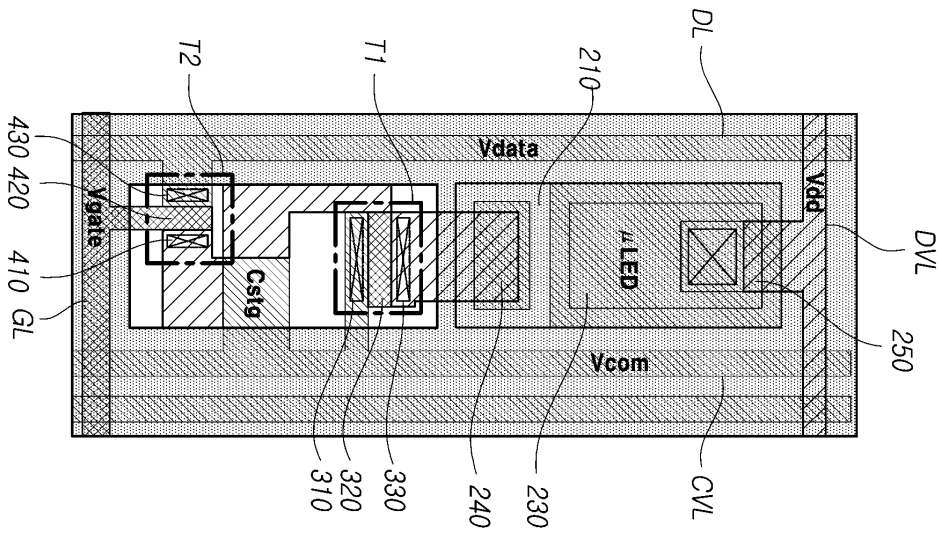
도면8g



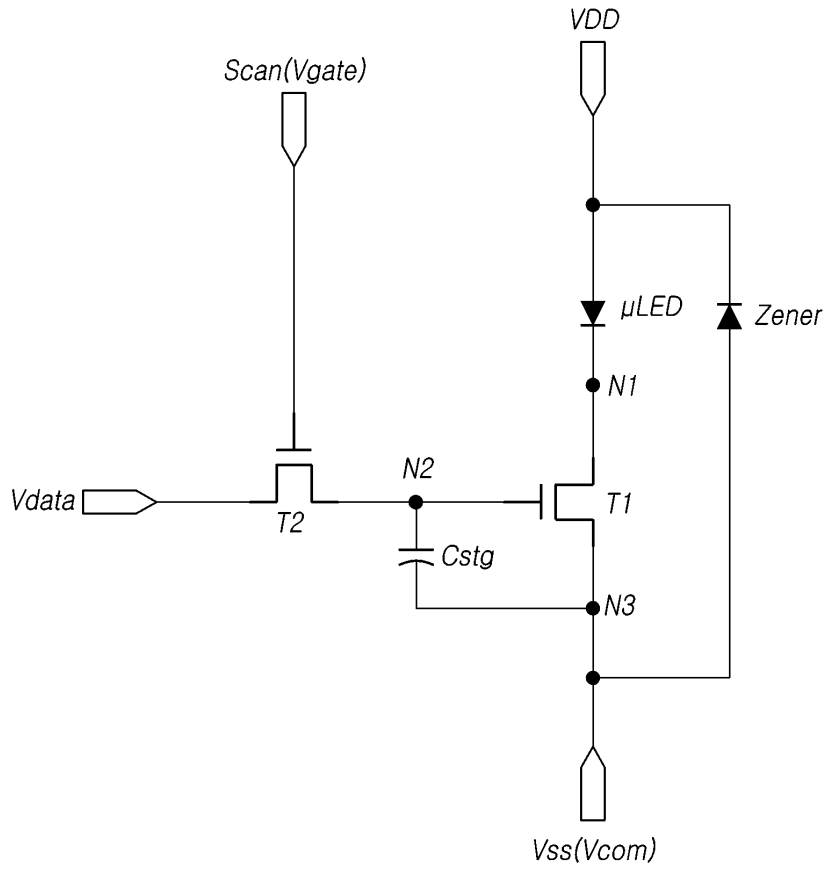
도면8h



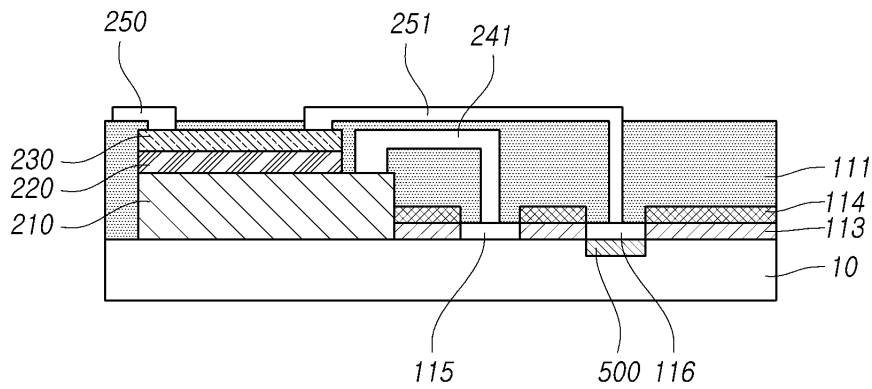
도면9



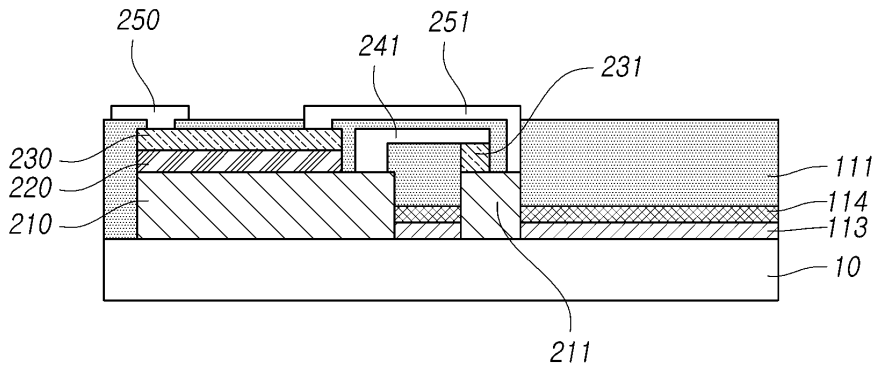
도면10



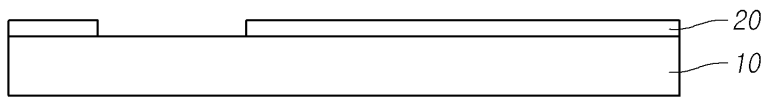
도면11



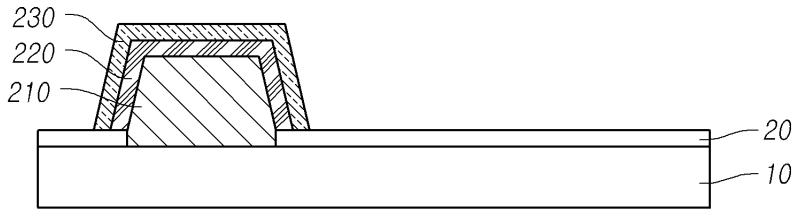
도면12



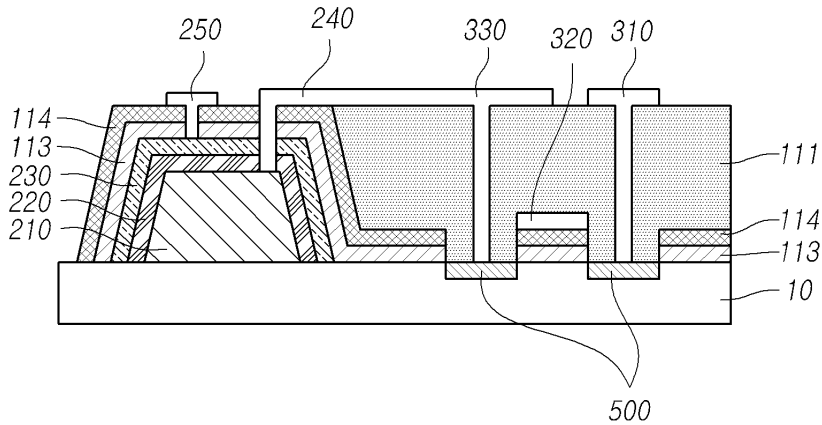
도면13a



도면13b



도면13c



专利名称(译)	发光器件，显示器集成电路和微显示器件		
公开(公告)号	<a href="#">KR1020190051824A</a>	公开(公告)日	2019-05-15
申请号	KR1020180132736	申请日	2018-11-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박준영 권규오 장태일 김일수 최정훈		
发明人	박준영 권규오 장태일 김일수 최정훈		
IPC分类号	H01L33/48 H01L27/15 H01L33/04 H01L33/36 H01L33/62		
CPC分类号	H01L33/48 H01L27/156 H01L33/04 H01L33/36 H01L33/62		
优先权	1020170147578 2017-11-07 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的实施方式涉及一种发光装置，其包括微发光二极管，显示集成电路和微显示装置。允许制造微型显示设备。另外，通过使用构成硅衬底的半导体层或微发光二极管形成静电放电结构，可以容易地实现具有改善的静电放电性能的发光装置。

100

